

(c) 1999 JPO & JAPIO. All rts. reserv.

03841871 **Image available**
FILM SEMICONDUCTOR DEVICE

PUB. NO.: 04-206971 [JP 4206971 A]

PUBLISHED: July 28, 1992 (19920728)

INVENTOR(s): SHIMADA NAOYUKI

TAKATO YUTAKA

YOSHIMURA YOJI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation),
JP(Japan)

APPL. NO.: 02-338879 [JP 90338879]

FILED: November 30, 1990 (19901130)

ABSTRACT

PURPOSE: To dissolve the deviation of the output voltage of a film semiconductor device equipped with a CMOS inverter without sacrificing the transmission speed or without increasing the occupied area by doping the channel region of an n-type film transistor with p-type impurities.

CONSTITUTION: This is a film semiconductor device, which is equipped with the CMOS inverter constituted by a pair of n-type and p-type film transistor elements 5 and 6, and the channel region of the n-type film transistor 5 is doped with p-type impurities. Generally, in the TFT, where Polycrystal silicon is used for a channel layer, the driving capacity of an n-type TFT is larger than the driving capacity of a p-type TFT. But, if p-type impurities are implanted into the channel region of TFT 5, the inverse threshold voltage of the n-type TFT becomes high, so it decreases the difference with the driving force of the p-type TFT 6, and between the n-type TFT 5 and p-type TFT 6, the balance on transistor properties can be taken. Hereby, the output properties of the CMOS inverter constituted of a pair of n-type TFT 5 and p-type TFT can be improved.

⑫ 公開特許公報(A) 平4-206971

⑤ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月28日

H 01 L 29/784
27/092
27/12A 7514-4M
9056-4M
9056-4M
7735-4MH 01 L 29/78 3 1 1 H
3 1 1 C
27/08 3 2 1 C

審査請求 未請求 請求項の数 4 (全9頁)

⑮ 発明の名称 薄膜半導体装置

⑯ 特 願 平2-338879

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 島 田 尚 幸 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱ 発 明 者 高 藤 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱ 発 明 者 吉 村 洋 二 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 山本 秀策

明 細 書

1. 発明の名称

薄膜半導体装置

2. 特許請求の範囲

1. 一对のn型及びp型の薄膜トランジスタ素子によって構成されるCMOSインバータを備えた薄膜半導体装置であって、

該n型の薄膜トランジスタのチャネル領域に、p型不純物がドーピングされている薄膜半導体装置。

2. 前記薄膜トランジスタの内、少なくとも一方の型の薄膜トランジスタ素子のゲート電極が、チャネル長方向に間隔をもって配された複数のゲート電極部分を有している請求項1に記載の薄膜半導体装置。

3. 前記複数のゲート電極部分を有する前記薄膜トランジスタ素子のチャネル領域は、チャネル長方向に間隔をもって配された複数のチャネル領域部分を有し、

該チャネル領域部分の各々は、該薄膜トランジ

スタ素子のゲート絶縁膜を介して該ゲート電極部分の各々に対向し、

該チャネル領域部分に挟まれた領域は、該薄膜トランジスタ素子のソース領域及びドレイン領域と同じ導電型である請求項2に記載の薄膜半導体装置。

4. 前記p型の薄膜トランジスタのチャネル領域にも、p型不純物がドーピングされている請求項1から3のいずれかに記載の薄膜半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、薄膜半導体装置に関し、特に液晶表示素子の駆動に適した薄膜半導体装置に関する。

(従来の技術)

液晶パネル内の各画素に対応する部分に、薄膜トランジスタ素子(TFT)がスイッチング素子として設けられたアクティブマトリクス型液晶表示装置の研究及び実用化が進められている。

さらに、上述のTFTとともに、それらのTFTを駆動するための駆動回路(ドライバ)を構成

するTFTが、液晶表示パネルの基板上に直接形成された駆動回路一体型の表示装置も研究が進められている。

液晶表示装置の駆動回路の最小構成単位はインバータである。CMOS構造を有するインバータ(CMOSインバータ)は、一対のn型TFT及びp型TFTにより構成される。

上記TFTとしては、半導体層が多結晶シリコンで構成されるTFT(多結晶シリコンTFT)が通常用いられる。その理由は、多結晶シリコンは、非晶質シリコンに比較して、電子及びホールの移動度が高いこと、及び、n型及びp型のTFTを同一のプロセスによって作成することができるために、CMOS構造を構成し易いことである。このような性質を有する多結晶シリコンTFTにより構成されたCMOSは、従って、動作周波数特性や消費電力の面で優れている。

従来のCMOSインバータの一例を第4図に示す。

端子33がインバータの入力端子、端子34が

インバータの出力端子である。また、端子31には、2値論理のうち低い方のレベルの電位(以下、L電位とする)が、端子32には、高い方のレベルの電位(以下、H電位とする)が与えられる。

L電位が与えられる端子31はコンタクトホール39を通じてn型のTFT35のソースと接続され、n型のTFT35のドレインはコンタクトホール40を通じてインバータの出力端子34と接続されている。また、H電位が与えられる端子32は、コンタクトホール42を通じてp型のTFT36のソースと接続され、p型のTFT36のドレインはコンタクトホール41を通じてインバータの出力端子34と接続されている。インバータの入力端子33は、コンタクトホール43を通じて両TFT35、36のゲート電極37、38に接続されている。

このインバータの出力端子34の電位は、端子31の電位と端子32の電位との差、及び両TFT35、36のソースドレイン間抵抗の比によって決まる。すなわち、入力端子33の電位がL

-3-

の時はn型のTFT35はオフの状態であるのに対し、p型のTFTはオン状態であり、p型TFT36の抵抗がn型TFT35の抵抗に比べて十分低い。従って、出力端子34には端子32の電位Hが出力される。逆に、入力端子33の電位がHの時には、n型TFT35がオン、p型TFT36がオフとなり、出力端子34にはL電位が出力される。

(発明が解決しようとする課題)

一般に多結晶シリコンをチャネル層に用いたTFTでは、n型のTFTの駆動能力がp型のTFTの駆動能力よりも大きい。従って、多結晶シリコンTFTにより上記のようなCMOSインバータを構成した場合、n型のTFTの方が抵抗が低いため、インバータの出力は、 V_{in} が低い領域で反転する。

このようなアンバランスなインバータ特性の一例を第3図に実線で示す。ここでは入力電圧 V_{in} 及び出力電位 V_{out} の基準を共にLレベルにとり、HレベルとLレベルとの電位差 V_{HL} が2.0Vであ

る場合を示している。n型のTFTの特性とp型のTFTの特性が対称ではないため、出力電圧 V_{out} を示す曲線は、 V_{in} に関してLレベル側に偏ったものとなっている。このように出力電圧 V_{out} に偏りがあると、インバータの動作速度の低下や誤動作を招く。

インバータの出力電圧 V_{out} は、電位差 V_{HL} と、インバータを構成するn型とp型のTFTの抵抗比とで決定される。上述の出力電圧 V_{out} の偏りを改善するためには、それぞれのTFTのチャネル長やチャネル幅を変えることによって両者の抵抗比を等しくすることが考えられる。例えば上記のインバータにおいてH側(p型TFT36)とL側(n型TFT35)の抵抗比を等しくするためには、p型のTFT36のチャネル幅をn型のTFT35のチャネル幅よりも大きくするか、あるいはn型のTFT35のチャネル長をp型のTFT36のチャネル長よりも大きくする必要がある。

しかし、このような方法は、インバータの伝達速度を下げたり、インバータの面積を大きくする

-5-

-5-

という問題点を有している。

本発明はこのような問題点を解決するためになされたものであり、その目的とするところは、伝達速度を犠牲にすることなく、また占有面積も増大させることなく、上記出力電圧の偏りが解消されたCMOSインバータを備えた薄膜半導体装置を提供することにある。

(課題を解決するための手段)

本発明の薄膜半導体装置は、一対のn型及びp型の薄膜トランジスタ素子によって構成されるCMOSインバータを備えた薄膜半導体装置であって、該n型の薄膜トランジスタのチャネル領域に、p型不純物がドーピングされているとにより、上記目的が達成される。

また、前記薄膜トランジスタの内、少なくとも一方の型の薄膜トランジスタ素子のゲート電極が、チャネル長方向に間隔をもって配された複数のゲート電極部分を有していることが好ましい。

また、前記複数のゲート電極部分を有する前記薄膜トランジスタ素子のチャネル領域は、チャネ

ル長方向に間隔をもって配された複数のチャネル領域部分を有し、該チャネル領域部分の各々は、該薄膜トランジスタ素子のゲート絶縁膜を介して該ゲート電極部分の各々に対向し、該チャネル領域部分に挟まれた領域は、該薄膜トランジスタ素子のソース領域及びドレイン領域と同じ導電型であることが好ましい。

また、前記p型の薄膜トランジスタのチャネル領域にも、p型不純物がドーピングされていてもよい。

また、前記p型不純物のドーズ量が $1 \times 10^{11} \text{ cm}^{-2}$ 以上であり、かつ、 $5 \times 10^{12} \text{ cm}^{-2}$ 以下であることが好ましい。

また、前記n型及びp型の薄膜トランジスタの半導体層は、多結晶シリコン層であってもよい。

(作用)

一般に、多結晶シリコンをチャネル層に用いたTFTではn型のTFTの駆動能力がp型のTFTの駆動能力よりも大きい。しかし、TFTのチャネル領域にp型不純物を注入すれば、n型TFT

-7-

-8-

Tの反転閾値電圧が高くなるため、p型TFTの駆動力との差を減少させることができる。こうして、n型TFTとp型TFTとの間で、トランジスタ特性上のバランスがとれるようになる。このため、一対のn型TFTとp型TFTとにより構成されるCMOSインバータの出力特性が改善される。

また、ゲート電極及びチャネル領域が複数の部分に分割されることにより、ソースドレイン間に複数の接合が形成される。このため、ソースドレイン間に、高い電圧が印加されても、ひとつの接合に加わる電圧が低下するため、接合リーク電流の発生が抑えられる。このため、高電圧が印加される場合でもTFTのオフ抵抗が減少せず、CMOSインバータの出力特性の劣化が抑制される。

(実施例)

本発明を実施例について以下に説明する。

本実施例の薄膜半導体装置のCMOSインバータの平面構造の一例を第1図に示す。

第4図に示した従来のCMOSインバータと異なる主要な点は、本実施例では、n型TFT5のチャネル領域に、p型の不純物が注入されていること、及びn型TFTのゲート電極が2本に分割されていることにある。

第1図の線A-A'に沿った断面の構造を第2図に示す。

以下に、第2図を参照しながら、製造工程に関して、本実施例の構成を説明する。

最初に、ガラス、石英等の透明の絶縁性基板15上の全面に、CVD法によって多結晶シリコン薄膜を80nmの厚みで形成する。この多結晶シリコン薄膜は、後にn型TFT5のチャネル領域16、ソース領域(ソース電極)25、ドレイン領域(ドレイン電極)26、チャネル領域16、及びp型TFT6のチャネル領域30、ソース領域(ソース電極)28、ドレイン領域(ドレイン電極)27となるものである。

この多結晶シリコン薄膜にSi⁺イオンを注入して非晶質化した後、窒素雰囲気中でアニールする

-9-

-10-

ことにより、大きな結晶粒徑を有する多結晶シリコン薄膜を得る。

なお、基板としては、上記の絶縁性透明基板以外にも、半導体基板上に絶縁膜を形成したものも用いることができる。

次に、上記多結晶シリコン薄膜を第1図に示すような矩形形状を有する多結晶シリコン薄膜50及び60にパターンニングした。n型TFT5及びp型TFT6のチャネル幅はインバータに要求される駆動能力を勘案して決めるが、本実施例では20 μ mとした。

次にフォトリソを塗布し、露光及び現像工程により、第1図の点線で囲まれた領域14のみ開口部を有する形状に、フォトリソをパターンニングした。このあと、イオン注入法によって、多結晶シリコン薄膜の領域14のみに、ボロン等のp型の不純物をドーピングした。ドーズ量は、 $5 \times 10^{12} \text{ cm}^{-2}$ 以下とした。このドーズ量を変えることによりn型TFT5の閾値電圧を任意の値に設定することができる。しかし、最低でも1

$\times 10^{11} \text{ cm}^{-2}$ 以上注入しないと閾値電圧を制御する効果を発揮することができない。

フォトリソ除去後、CVD法によって、ゲート絶縁膜となる酸化膜17を100nmの厚みで形成した。酸化膜17はスパッタリング法、あるいは上記多結晶シリコン薄膜の上面を熱酸化することによっても形成することができる。また、上述のn型TFT5の領域14に対するドーピングは、このゲート酸化膜17の形成後にイオン注入法によって行うことも可能である。

次に、CVD法により多結晶シリコン薄膜を形成し、拡散法によって不純物(ドーパント)のドーピングを行って低抵抗化した。このドーピングはイオン注入法によって行うことも可能である。本実施例では、この多結晶シリコン薄膜の厚さを450nmとした。

この多結晶シリコン薄膜をパターンニングすることにより、両TFT5、6のゲート電極7、8を形成した。n型TFT5のゲート電極7は、2本のゲート電極部分7a及び7bを有する形状にパ

-11-

ターンニングした。2つのゲート電極部分7a及び7bは、チャネル長方向に間隔をもって配された。各ゲート電極部分7a又は7bの幅(チャネル長方向の長さ)を4 μ m(合計8 μ m)とした。なお、p型TFT6のゲート電極の幅は8 μ mとした。

n型TFT5の2つのゲート電極部分7a及び7bには、共に等しい電圧が印加されるように、入力端子3から延びるゲート電極配線が途中で、枝わかれしている。しかし、ゲート電極7の形状は、必ずしも、枝状に分割されている必要はなく、各々の枝状のゲート電極部分7a及び7bの先端が、チャネル領域の外で、互いに接続された形状であってもよい。また、ゲート電極7は、独立したゲート電極部分7a及び7bに完全に分割され、その上に絶縁膜を介して形成されたA1等の配線により互いに電気的に接続される構造を有しているともよい。

次に、半導体層において、n型TFT5のソース領域25、ドレイン領域26、及び2つのゲ

ート電極部分7a及び7bに挟まれた領域29に、イオン注入法によってn型不純物をドーピングした。このイオン注入は、ゲート電極部分7a及び7bをマスクとして行われた。このイオン注入によって、n型TFT5のチャネル領域16は、チャネル長方向に間隔をもって配された2つのチャネル領域部分16a及び16bに分割された。また、ソース領域25及びドレイン領域26の形成と同様にして、領域29が自己整合的に形成されたため、チャネル領域部分16a及び16bの各々は、ゲート絶縁膜17を介してゲート電極部分7a及び7bの各々に対向するように配置している。

このようにして形成された領域29は、ソース領域25及びドレイン領域26と同じ導電型である。一方、チャネル領域部分16a及び16bには、n型不純物がドーピングされていないため、領域29とチャネル領域部分16a及び16bとの間には、接合が形成された。

次に、半導体層に於いて、p型TFT6のソー

-14-

-13-

ス領域 28 及びドレイン領域 27 に、ゲート電極 8 をマスクしてイオン注入を行うことにより、p 型不純物をドーピングした。

なお、n 型 TFT5 のソースドレインを形成するためのイオン注入を行うときは、p 型 TFT6 が形成されるべき部分を覆うレジストが注入マスクとして形成され、p 型 TFT6 のソースドレインを形成するためのイオン注入を行うときは、n 型 TFT5 が形成されるべき部分を覆うレジストが注入マスクとして形成された。

次に、基板上の全面に CVD 法によってシリコン酸化膜又はシリコン窒化膜を 700 nm の厚みで形成し、絶縁層 20 とした。

次に、第 1 図に示す位置にコンタクトホール 9、10、11、12 及び 13 を形成した。第 2 図に示すように、コンタクトホール 9、10、11 及び 12 は、絶縁層 20 及び前述のゲート絶縁膜 17 を貫通して形成された。また、入力端子のコンタクトホール 13 は、絶縁層 20 を貫通して形成された。

-15-

っていることがわかる。これは、チャネル領域に p 型不純物を注入することにより、n 型 TFT5 の方の反転閾値電圧が高くなったためである。

上記 n 型 TFT の特性と、第 7 図及び第 8 図に示される p 型 TFT6、36 の特性とを比較すると、本実施例の n 型 TFT5 と p 型 TFT6 との間で、特性の対称性が優れていることがわかる。

第 3 図に、本実施例の薄膜半導体装置の CMOS インバータの $V_{HL} = 20V$ のときの伝達特性を点線で示す。同図に実線で示した従来の CMOS インバータの伝達特性と比較すると、H 側と L 側の対称性が良くなっていることがわかる。

本実施例においては、CMOS インバータを構成する一対の n 型及び p 型 TFT5、6 のチャネル幅を等しく設定したが、n 型 TFT5 と p 型 TFT6 の特性の対称性をさらに良好にするために、チャネル幅を変えることによって両者間の駆動能力のアンバランスを調整することも可能である。また、本実施例においては両 TFT5、6 のチャネル長も同じに設定しているが、これも変えるこ

-17-

次に、L 電位供給端子 1、H 電位供給端子 2、入力端子 3 及び出力端子 4 を、A1 等の低抵抗金属膜により形成した。端子 1 はコンタクトホール 9 を通じて n 型 TFT5 のソース領域 25 に接続された。端子 2 はコンタクトホール 12 を通じて p 型 TFT6 のソース領域 28 に接続され、端子 3 はコンタクトホール 13 を通じて n 型及び p 型 TFT5、6 のゲート電極 7、8 に接続された。また、端子 4 はコンタクトホール 10、11 を通じて n 型及び p 型の TFT のドレイン領域 26、27 に接続された。

本実施例の n 型 TFT5 の特性を第 5 図に、また、第 4 図に示す従来の n 型 TFT35 の特性を第 6 図に示す。

また、本実施例及び従来の p 型 TFT6、36 (両者の構造はまったく同じである) の特性を第 7 図に示す。

第 5 図と第 6 図の特性線を比較すると、本発明の n 型 TFT5 の方が従来のそれよりも、抵抗が高くなり、ドレイン電流 (I_D) のレベルが低くな

-16-

とができる。このように、n 型 TFT5 と p 型 TFT6 のチャネル長及びチャネル幅をそれぞれ独立に適切な値に決めることにより、インバータ特性を更に改善することができる。

また本実施例においては n 型 TFT5 のゲート電極 7 を 2 本に分割した構造としたが、更に多数本に分割して形成することもできる。この場合、ソースドレイン間に加えられた電圧がより多くの接合抵抗に分割されることになるため、ソースドレイン間の耐圧が更に向上し、より高い電圧でも正常な動作を行うことのできる CMOS インバータとすることができる。

本実施例においては CMOS インバータを構成する一対の TFT のうち、n 型の TFT5 のゲート電極 7 のみを分割形状にしたが、p 型 TFT6 の方のゲート電極 8 を分割形状にすることもできる。この場合、p 型 TFT6 においてもソース、ドレイン間の耐圧特性が向上し、いっそう良好なインバータ特性を得ることができる。

上記実施例では閾値電圧を制御するためのチャ

-18-

ネル領域へのイオン注入をn型TFT5のチャネル領域のみで行い、p型TFT6のチャネル領域では行っていない。これも、両TFT5、6のチャネル領域へ同時に不純物注入を行うことにより、両TFT5、6に共に不純物領域を設けることもできる。第8図に示されるp型TFT6の特性は、第7図(チャネル領域に不純物注入を行っていないもの)の特性と大きな差はなく、p型TFT6のチャネル領域に注入を行うことによるトランジスタ特性に対する影響はほとんどない。しかし、このプロセスによれば、領域14に開口部を有するフォトレジストを形成する工程を省略することができるという利点がある。

(発明の効果)

本発明の薄膜半導体装置によれば、CMOSインバータを構成するn型及びp型の薄膜トランジスタ素子の間で、特性の対称性が良好であるため、CMOSインバータの出力電圧に偏りが少ない。このため、薄膜半導体装置の誤動作が生じにくい。更に、薄膜トランジスタ素子のチャネル長やチャ

ネル幅を拡大することなく、上記効果を得ることができるため、素子面積を増大する必要がなく、また、伝達速度の低下を招くこともない。

4. 図面の簡単な説明

第1図は本発明の実施例のCMOSインバータを示す平面図、第2図は第1図のA-A'線断面図、第3図は実施例のCMOSインバータ(点線)と従来のCMOSインバータ(実線)の伝達特性を示すグラフ、第4図は従来のCMOSインバータを示す平面図、第5図は実施例のCMOSインバータを構成するn型TFTの特性線図、第6図は従来のCMOSインバータを構成するn型TFTの特性線図、第7図はチャネル領域にp型不純物注入を行わないp型TFTの特性線図、第8図はチャネル領域にp型不純物を注入したp型TFTの特性線図である。

1、31…CMOSインバータのLレベル電位の端子、2、32…Hレベル電位の端子、3、33…入力端子、4、34…出力端子、5、35…n型TFT、6、36…p型TFT、7、37…

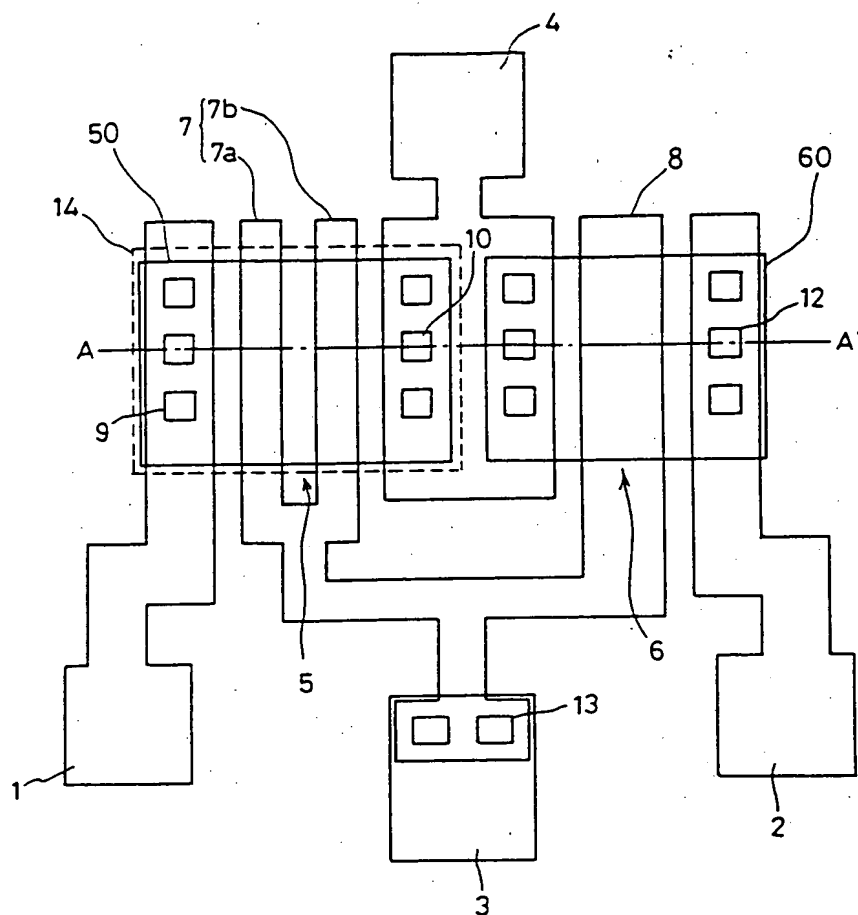
n型TFTのゲート電極、7a、7b…ゲート電極部分、8、38…p型TFTのゲート電極、9～13、39～43…コンタクトホール、15…基板、16…n型TFTのチャネル領域、16a、16b…チャネル領域部分、17…ゲート絶縁膜、20…層間絶縁膜、25…n型TFTのソース領域、26…n型TFTのドレイン領域、27…p型TFTのドレイン領域、28…p型TFTのソース領域、30…p型TFTのチャネル領域。

以 上

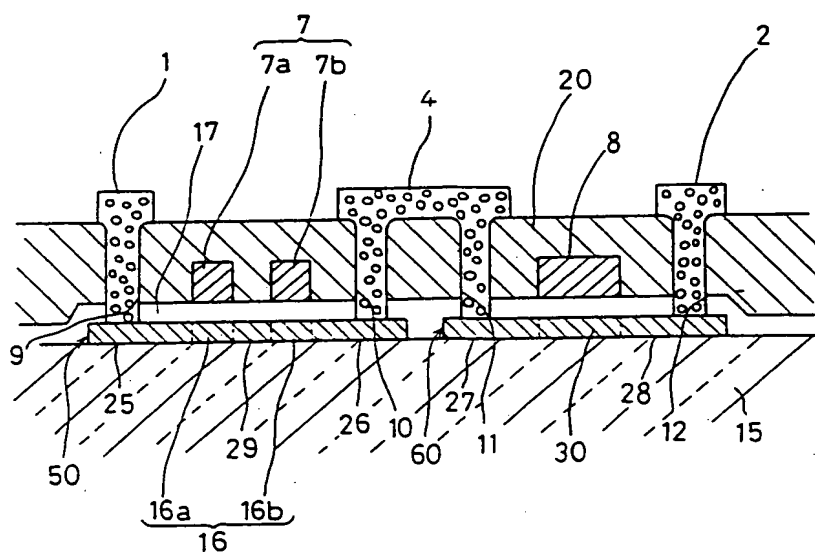
出願人 シャープ株式会社

代理人 弁理士 山本秀策

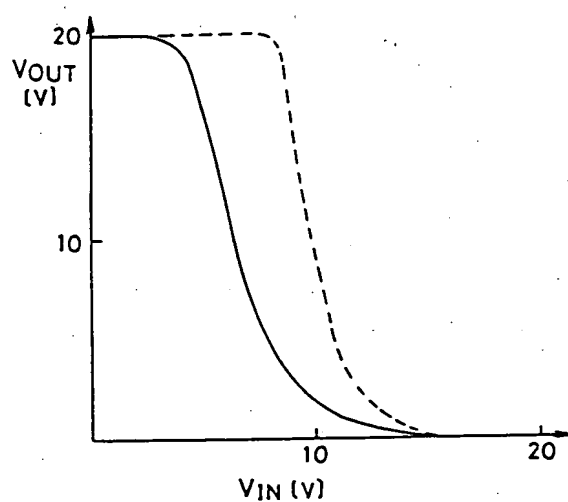
第 1 図



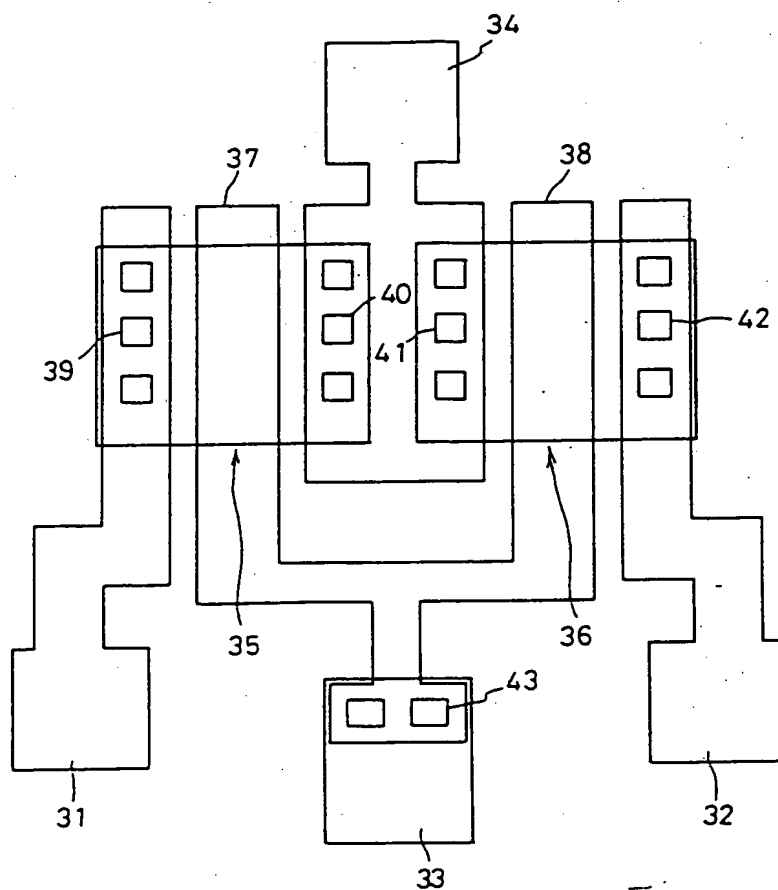
第 2 図



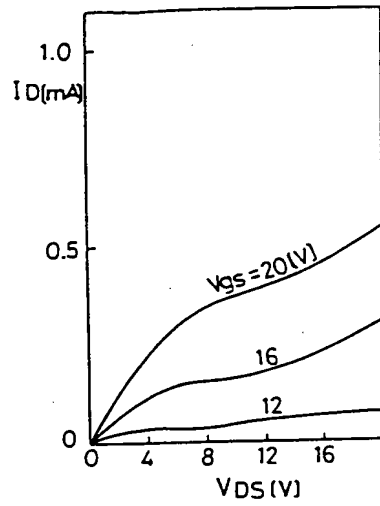
第 3 図



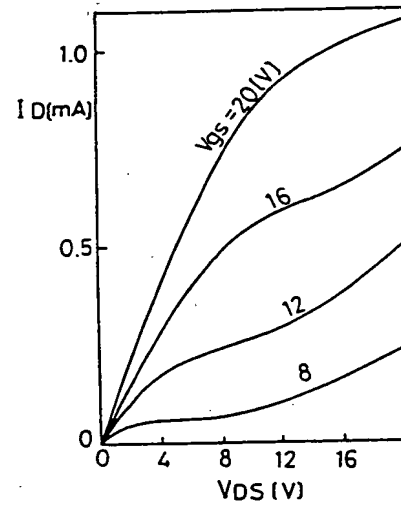
第 4 図



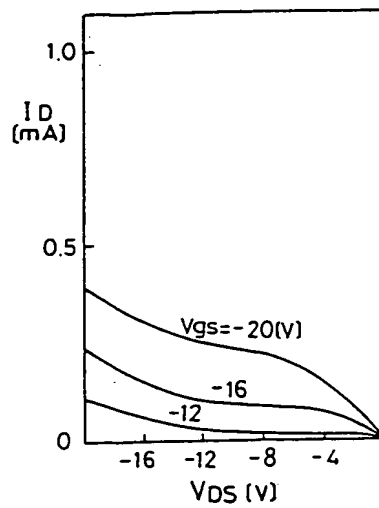
第 5 図



第 6 図



第 7 図



第 8 図

